

微机保护中通用处理器和 DSP 的通信

乐秀¹, 刘 辉¹, 张桂枝², 舒 建³

(1. 河海大学电气工程学院, 江苏 南京 210098; 2. 福建省平和县水利水电局, 福建 平和 363700;
3. 河海大学学报编辑部, 江苏 南京 210098)

摘要: 介绍了 4 种通用处理器(MPU)与数字信号处理器(DSP)的通信方式, 包括利用处理器的 I/O 功能的通信方式、利用双体存储器(DBM)的通信方式、利用直接存储器(DMA)访问技术的通信方式和利用双端口寄存器(DPRAM)的通信方式. 针对基于 DSP 的双处理器保护系统, 通过对这 4 种通信方式的分析比较, 选择利用双端口寄存器的通信方式来实现双处理器间的通信.

关键词: 数字信号处理器; 双体存储器; 直接存储器; 双端口寄存器

中图分类号: TP368.1 **文献标识码:** A **文章编号:** 1000-1980(2001)05-0064-06

在微机保护中, 要获得真正的实时保护, 就必须在一个采样间隔内完成保护所需的所有计算. 由于基于单 CPU 的微机保护系统难以达到要求, 所以自 80 年代以来, 国内外逐渐开始研制多 CPU 型微机保护^[1], 而将数字信号处理器(DSP)运用于多 CPU 型微机保护是一个得到认可的理想方案^①.

实时信号处理系统要求有较高的数据吞吐率, 主从机之间的通信接口设计, 对决定整个系统带宽起关键作用^[2]. 通用微处理器(MPU)和 DSP 组成的主从式双处理器微机保护系统, 是实时信号处理系统, 因此, 在主从式微机保护系统中, MPU 与 DSP 之间的通信接口设计, 成为整个系统硬件设计的关键.

实现双机通信的方式主要分为串行通信、并行通信和共享存储器. 其中共享存储器方式可分为两种: 一种是主机和从机不能同时访问共享存储器; 另一种是主机和从机能同时访问共享存储器. 以上三种通信方式各有其适用场合, 根据不同的要求可选择其中适用的方式.

本文对各种双处理器间的通信方式进行简要介绍, 并对这几种通信方式进行了分析比较. 笔者还根据微机保护的要求, 提出利用双端口存储器的方式, 以实现双处理器微机保护中主从机的通信.

1 主从式双处理器微机保护的数据共享

MPU 和 DSP 组成的双处理器微机保护系统中, MPU 作主机, DSP 作从机. MPU 可以控制从机的复位、运行和挂起, 并执行出口操作、人机对话及与上位机的通信等功能; DSP 对 A/D 转换后的采样数据进行处理后, 把数据传送给 MPU 进行计算分析, 以作为出口控制的依据.

主从式硬件系统设计的关键是主机与从机之间的数据通信. 实现双机通信的方式主要有 (a) 串行通信 利用处理器本身提供的串行口或在芯片的基础上用软件或硬件开发一个串行口实现双机通信. 该方式较简单, 适用于双机通信量不是很大的应用场合. (b) 并行通信 利用处理器的 I/O 功能, 在 MPU 和 DSP 之间增加缓冲器或锁存器实现双机通信. 这种方式较串行方式的效率稍高. (c) 共享存储器方式 这种方式可以分为两种, 一种是主机和从机不能同时访问共享存储器, 通常是利用 DSP 提供的 DMA 功能来实现, 另一种是主机和从机可以同时访问共享存储器, 但不能同时访问同一单元, 一般采用双端口存储器来实现^[3].

微机保护中双处理器间的通信量较大, 采用串行通信方式不能满足要求, 所以应采用并行通信方式或共享存储器方式的双处理器通信方式. 现分别以美国德克萨斯仪器公司(简称 TI)的 DSP 芯片 TMS320C3X(简称 C32)和 Intel 公司的单片机 80C196(简称 196)为例进行讨论.

收稿日期: 2000-10-19

作者简介: 乐秀 (1952—), 男, 上海人, 副教授, 主要从事监控系统、综合自动化系统、智能控制等方面的研究.

① Benmouyal G. 用于升压变压器的组合式数字综合差动和电压/频率继电器的设计. 电力系统继电保护论文译文集. 南京: 南京自动化设备总厂技术情报室, 1993.

1.1 并行式双处理器间的通信方式

1.1.1 利用处理器的 I/O 功能进行通信

利用处理器的 I/O 功能进行通信 ,其原理如图 1 所示 .当 196 向 C32 传送数据时 ,196 先将数据送入锁存器 B2 中锁存起来 ,再由 P1.0 引脚发出低电平脉冲 ,向处理器 C32 申请中断 ,让 C32 从锁存器 B2 中读取数据 ;当 C32 向 196 传送数据时 ,C32 将数据送入锁存器 B1 中锁存 ,再由 XF1 引脚发出低电平脉冲 ,向 196 申请中断 ,让 196 从锁存器 B1 中读取数据 .这种方式下 ,两处理器都需向锁存器提供读写控制信号 ,以确保数据能正常传送 .

1.1.2 利用双体存储器实现双机通信^[2]

利用双体存储器(Dual Bank Memory ,简称 DBM)实现两机通信 ,其原理如图 2 所示 .DBM 方式使用了两个存储器 ,在任一时刻 ,196 和 C32 能够各自独立地访问单个存储器 .196 和 C32 的数据/地址总线 ,通过一个缓冲的三态开关 ,连接到给定的存储器上 .通过将任一处理器的数据/地址线切换到相应的存储器上 ,就可以使该处理器访问这一存储器 .当 196(或 C32)要向另一处理器传送数据时 ,196(或 C32)将要传递的数据写入当前连着的存储器 ,并发出一个 DBM 切换操作 ,并由总线切换开关控制存储器在处理器之间的切换 .一旦存储器被切换 ,目的处理器就可以通过标准存储器读操作访问数据 .

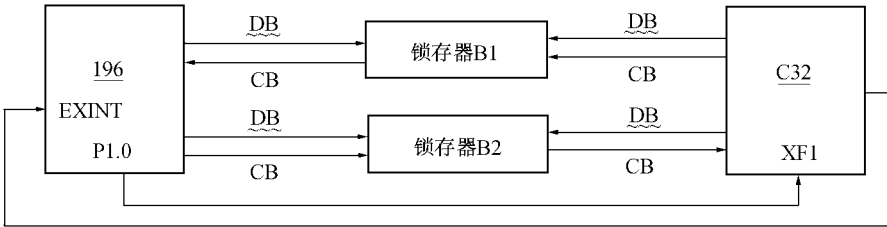


图 1 I/O 方式的双权通信接口

Fig.1 Dual-processor communication based on I/O interface

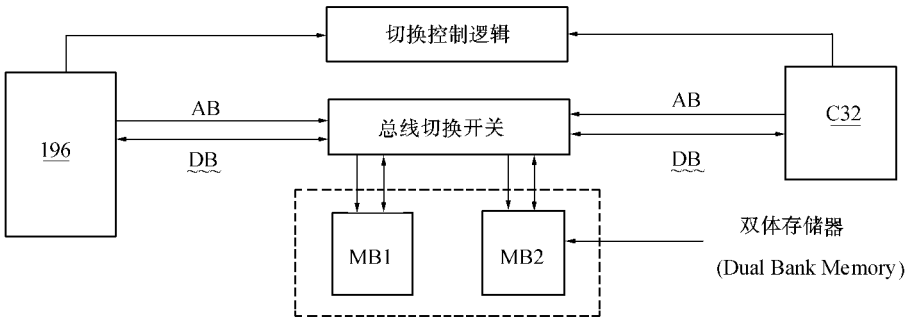


图 2 利用双体存储器实现通信的两机接口

Fig.2 Dual-processor communication based on DBM

1.2 共享存储器的通信方式

1.2.1 利用 DMA 技术实现 DSP 与通用处理器之间的通信^[3]

C32 支持两种方式的直接存储器访问(Direct Memory Access ,简称 DMA)HOLD 状态和 DMA 过程 .为实现 DMA 功能 ,C32 提供了 /HOLD 和 /HOLDA 两个引脚 ,如图 3 所示 .当 /HOLD 引脚被外界拉低时 ,C32 响应外部 DMA 请求 ,当 HOLD 应答线 /HOLDA 变低时 ,C32 将外部总线置为高阻状态 ,将总线控制权交出 ,停止运行并保持当前运行状态 .当外界将 HOLD 变高时 ,C32 经过一段延时后脱离 HOLD 状态 ,重新获得总线权 ,并自保持的运行状态继续运行 .

DMA 过程是通过软件 ,向 DMA 通道的通道控制寄存器、源地址寄存器、目的地址寄存器和计数器赋相应的值 ,实现对它的控制的 .利用 DMA 过程减少了 CPU 的输入/输出操作 ,在与外部低速器件接口时 ,也不会影响数据的传送 .DMA 过程在专用的内部总线上传送数据 ,只有当它和 CPU 之间发生资源冲突时 ,才需要由软件判优进行仲裁 ,否则两者的操作同时进行 ,互不影响 .因此 ,DMA 过程可以在整个 C32 存储空间内搬

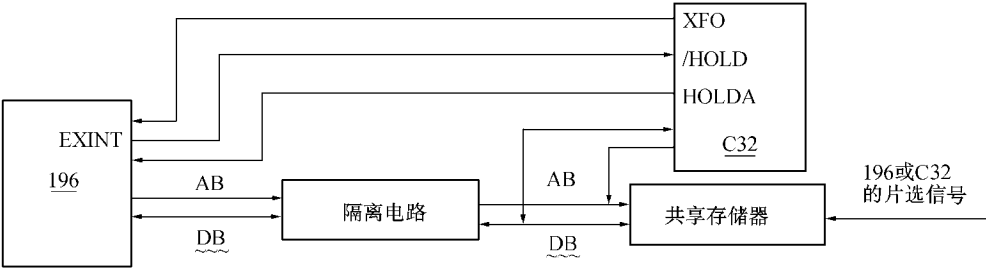


图 3 用 DMA 技术实现的两机通信

Fig.3 Dual-processor communication based on DMA

移数据,而不占用CPU的时间。

利用 DMA 实现双机通信的方式适用于通信量大的应用系统,但两处理器不能同时访问共享存储器,在某一时刻存储器只能作为某一个处理器的存储器,这将降低 C32 处理事务的效率。

1.2.2 利用双端口寄存器实现双机通信

与普通 RAM 只有一组数据总线和地址总线不同,双端口 RAM(简称 DPRAM)是一种特殊的存储器,它具有两组数据总线和地址总线,这两组总线可以同时访问不同的存储器单元。当两组地址总线相同时,由片内总线仲裁逻辑向后访问的一方发出等待信号,使该方进入等待,等另一方访问结束之后,等待方可继续访问这一地址。由于 DPRAM 的特殊结构,使得双处理器可以方便快速地进行数据交换,大大提高了 MPU 与 DSP 芯片的并行处理能力^[3]。对 196 和 C32 而言,DPRAM 等效于处理器的外部 RAM,且通过适当的设计,可消除读写 DPRAM 的系统等待时间,DPRAM 可用于不允许等待状态的高速系统^[4]。图 4 给出了利用 DPRAM 实现两机通信的接口图。

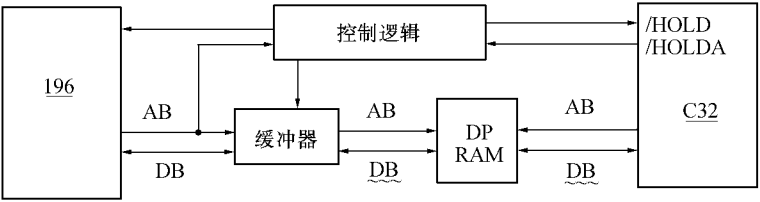


图 4 用 DPRAM 实现两机通信

Fig.4 Dual-processor communication based on DPRAM

在使用 DPRAM 时,应妥善解决争用问题,即两个端口上的 CPU 企图同时读写一个存储单元的现象。争用将破坏数据的完整性,造成写入值和读出值不是所期望的值的混乱状态。通常,争用的解决方案有 3 种:硬件判优方案、中断方案和令牌传递方案^[4]。

1.2.2.1 硬件判优方案

支持硬件判优方案的双端口 RAM 芯片,都有片内硬件判优电路,而两个端口上都有/BUSY 引脚。当争用发生时,硬件判优电路确定具有优先权的端口可以继续对该端口进行操作;另一端口的/BUSY 引脚则被硬件判优电路置为有效(低电平),在此有效期间,对该端口的操作是无效的。当具有优先权的端口完成对争用单元的操作后,硬件判优电路把延迟存取端口的/BUSY 引脚置为高电平,延迟端口可以继续存取。硬件判优方案要求 CPU 能插入等待状态。

1.2.2.2 中断方案

支持中断方案的双端口 RAM 芯片,都有/INTL 和/INTR 引脚,这两引脚用于向两处理器申请中断。中断方案向每个端口分配一个 DPRAM 单元(信箱单元),左右两端口的信箱单元的偏移地址不同。当右边端口写右边的信箱单元时,将左端口的/INTL 清零;左边读该单元时,将/INTL 置 1;对左端口有类似的操作。使用中断方案时,应将/INTL 和/INTR 分别连到左、右端口 CPU 的一个中断输入端上。当某一端的 CPU 开始使用或结束使用 RAM 时,都向另一端的 CPU 发出中断申请,并根据操作是开始还是结束,将不同的内容写入信箱单元。该方案不要求 CPU 能插入等待状态,不允许两个端口的 CPU 同时使用 DPRAM,因此不会发生争用现象,可全速完成 DPRAM 的存取。

1.2.2.3 令牌传递方案

支持令牌传递方案的 DPRAM 芯片 ,两个端口都有引脚/SEM ,该引脚用于令牌的申请和释放 .DPRAM 采用 Semaphore(简称 SEM)信号避免争用的发生 ,SEM 信号为低电平有效 ,将“ 0 ”写入寄存器申请令牌 ,将“ 1 ”写入寄存器释放令牌 .如图 5 所示 ,SEM 逻辑是与 DPRAM 存储单元无关的、用来产生并存储令牌标识的单元 ,该标识用来向左(或右)端口的 CPU 说明共享的资源正被右(或左)端口的 CPU 占有 .

以 IDT 公司的 DPRAM 芯片 IDT71342 为例说明令牌的传递方法 .IDT71342 提供了 8 个 SEM 逻辑 ,即 8 个令牌 ,用户可以通过软件设计的方法将 IDT71342 分成 8 个区间段 ,每个区间段用一个令牌来控制 .使用 IDT71342 的步骤为 :申请令牌的端口先把本端口的/SEM 清 0 ,再通过 SEM 信号向未用的令牌位置写 0 ,完成令牌的申请 ,然后通过读本端口令牌标识 ,由标识来判断申请成功与否 :标识为 0 ,表示令牌申请成功 ,可使用该令牌控制的 DPRAM 区间段 ;标识为 1 ,表示令牌申请不成功 ,可继续申请或转向其它操作 .令牌申请成功的端口在使用完这个区间段后 ,通过向令牌标识写 1 释放令牌 .

令牌传递方案中 ,允许两处理器同时对 DPRAM 的不同区间段进行读写 ,不要求 CPU 能插入等待状态 ,可用于高速系统 .

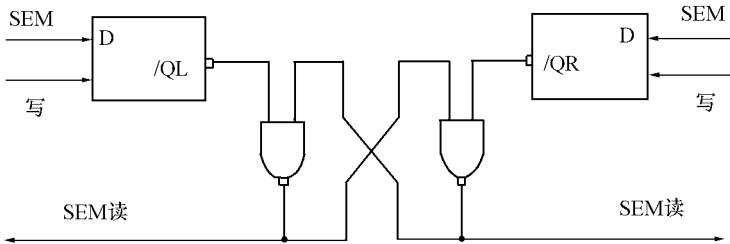


图 5 SEM 信号逻辑
Fig.5 Interface of semaphore control

2 微机保护中双处理器的通信设计

2.1 双处理器的通信设计

MPU 和 DSP 组成的主从式双处理器微机保护系统中 ,MPU 是主机 ,负责对 DSP 送来的数据进行计算 ,还负责管理人机接口和开关量读入 ,并控制出口回路 ;DSP 是从机 ,负责实时数据的采集和数字滤波 ,并将滤波结果传送给主机 .正常工作时 ,两处理器除了传送和接收滤波结果外 ,各自独立地工作 .

用 I/O 方式实现两机通信 ,以发选通信号 ,然后写数据 ,最后发中断申请的次序传送信息 ;以响应中断 ,然后发选通信号 ,最后读数据的次序接收数据 .该方案的逻辑顺序清晰、接口简单 ,但每传送或接收一个 16 位数据就得中断一次 ,CPU 的工作效率变低 ,使其不适于通信量大的应用场合 .用 DMA 方式实现两机通信适合通信量大的应用场合 ,但两处理器不能同时访问存储器 ,在某一时刻 ,存储器只能作为某一个处理器的存储器 ,从而不能做到真正的并列通信 .用 DPRAM 实现两机通信 ,只要不同时存取同一单元 ,允许两端口的 CPU 互不干扰地对任意存储单元进行操作 ,就可做到真正的并列通信 ,提高数据交换的速度 ;发生争用时 ,采用令牌传递方案加以解决 ,可得到满意的效果 .

微机保护系统是实时的信号处理系统 ,要求有较高的数据吞吐率 .通过以上的分析比较可知 ,利用 DPRAM 实现两机通信 ,数据交换的速度快、方式简单 ,是实现系统中两处理器间通信的理想方案 .

2.2 总线宽度的配合

196 的总线宽度可以设定为 16 位或者 8 位 ,定点 DSP 的字长一般为 16 位 ,浮点 DSP 的字长多为 32 位 ,两处理器间进行数据传递时 ,由于字长的不同 ,存在总线宽度的协调问题 .

目前 ,对保护装置字长的要求不超过 16 位 ,而串行 ADC 的转换精度多数是 14 位 ,本设计的数据字长设定为 16 位 ,利用两片 IDT7005 芯片构成 8K×16 位的 DPRAM 系统 .

C32 采用加强型的外部存储器接口 ,采用/STRB0 和/STRB1 两组选通信号 ,可以存取 8/16/32 位三种宽度的数据存储器 .由于 C32 内部是 32 位结构 ,因此 ,不论外部存储器的宽度是多少 ,C32 本身仍然是一个 32 位器件 ,外部存储器数据宽度的转换由 C32 提供的外部存储器接口实现 .图 6 为 C32 与两 IDT7005 芯片间的

接口示意图 $\overline{\text{STRB0_B0}}$ 引脚和 $\overline{\text{STRB0_B1}}$ 引脚分别作为两 DPRAM 芯片的选通使能信号. 由于与 8 位存储器接口时, C32 的内部地址右移 1 位后呈现在外部地址引脚上, 因此, 将 C32 的地址线 A0 ~ A11 与 IDT7005 的地址线 A1 ~ A12 相互连接, 而用 $\overline{\text{STRB0_B3}}$ 作为额外的地址线与 IDT7005 的地址线 A0 连接.

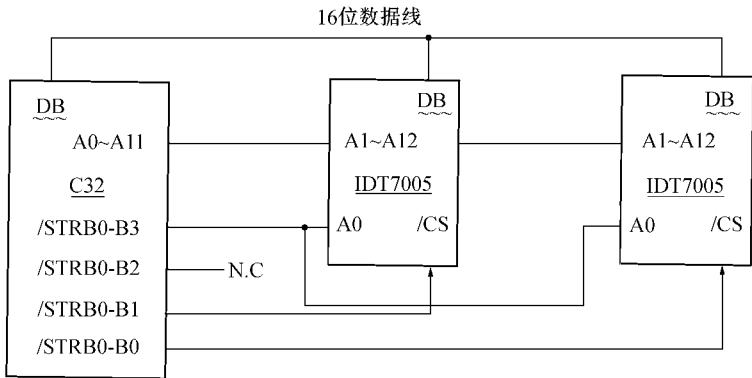


图 6 C32 与 IDT7005 的 16 位接口

Fig.6 16-bit interface between C32 and IDT7005

2.3 访问 DPRAM 的时序配合

C32 和 196 访问 DPRAM 的时序, 是保证系统通信可靠性的重要环节. 本文以图 7 的连接为例, 介绍由 C32 写数据, 而由 196 读取的过程的时序.

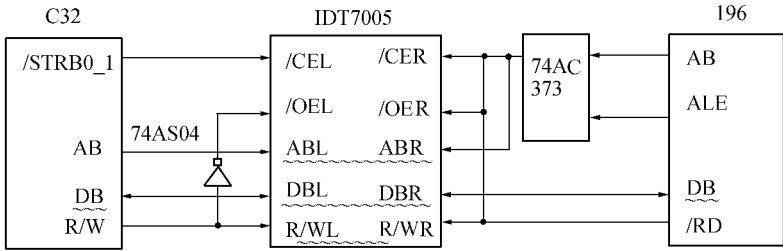


图 7 DSP 与 IDT7005 的接口

Fig.7 Interface between DSP and IDT7005

已知 IDT7005 读操作的最大存取时间 $T_{CE} = 35 \text{ ns}$; 写操作时, 地址有效到写入完成的最小时间 $T_{EW} = 30 \text{ ns}$, 在此期间, 控制信号应保持有效电平不变, 而数据信号的持续时间应大于 15 ns .

写存储器时, C32 的 $\overline{\text{STRB0}}$ 引脚维持有效的时间是 48 ns , DB 维持有效的时间为 $75 - 17 = 58 \text{ ns} > 15 \text{ ns}$ (图 8), 而 R/W 维持有效的时间为 $48 \text{ ns} > 30 \text{ ns}$, C32 的写操作能正确地进行.

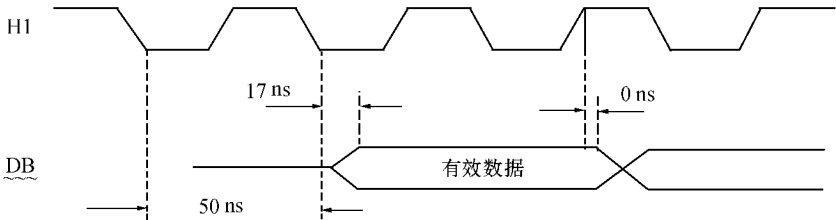


图 8 数据线时序

Fig.8 Time-serial of data-bus

C32 写入完成后, 利用中断通知 196 读取. 设 196 的主频为 12 MHz , 执行读操作时, 196 对外的时序要求 $\overline{\text{RD}}$ 有效到数据输出的延时不大于 60 ns , $\overline{\text{AB}}$ 有效到数据输出的延时 T_{D2} 不大于 200 ns , 在 196 侧,

$$T_{\text{OER}} = T_{\text{RD}} = 63 \text{ ns}$$

$$T_{\text{CER}} = T_{\text{ABR}} = T_{\text{ALE}} + T_{73\text{AC}373} = 10 + 7 = 17 \text{ ns}$$

在 $\overline{\text{CER}}$, $\overline{\text{OER}}$, ABR 中, 最后有效的信号是 $\overline{\text{OER}}$, 它的延时决定了 IDT7005 的输出延时:

$$T_{D2} = 63 + 35 = 98 \text{ ns} < 200 \text{ ns}$$

$$T_{D1} = 35 \text{ ns} < 60 \text{ ns}$$

由以上分析可知 ,C32 写入 196 读出时 ,DPRAM 两侧操作的时序都能够正确配合 .

3 结 论

基于 DSP 的主从式信号处理系统中 ,主机与从机的接口方式可以分为 I/O 端口存储器接口法、DBM 接口法、DMA 接口法和 DPRAM 接口法等 4 种 . 它们各有优缺点 ,分别适用于不同要求的场合 . 在具体应用中 ,可根据性能要求和费用预算进行选择 . 基于 DSP 的双处理器微机保护系统 ,MPU 为主机 ,DSP 为从机 ,该系统是实时的信号处理系统 ,要求有较高的数据吞吐率 . 通过分析比较 ,本文提出的利用 DPRAM 实现两处理器的通信 ,利用令牌传递方案解决争用问题的设计是一个理想的方案 .

参考文献 :

- [1] 谭晓 . 基于数字信号处理器的微机保护研究 [D] . 南京 : 河海大学 , 1999 .
- [2] 郑飞 . 微机与 DSP 间的接口技术 [J] . 微计算机应用 , 1995 : 1 ~ 3 .
- [3] 张雄伟 . DSP 芯片的原理与开发应用 [M] . 北京 : 电子工业出版社 , 1997 . 68 .
- [4] 张林 . CPU 系统中应用双端口 RAM 的争用解决方案 [J] . 电子技术应用 , 1997 (2) : 15 ~ 17 .

Communication Between Universal Microprocessor and DSP in Computer-Based Protection System

LE Xiu-fan¹ , LIU Hui¹ , ZHANG Gui-zhi² , SHU Jian³

(1 . College of Electrical Engineering , Hohai Univ . , Nanjing 210098 , China ;

2 . Bureau of Water and Hydropower of Pinghe , Pinghe , Fujian 363700 , China ;

3 . Editorial Board of Journal of Hohai Univ . , Nanjing 210098 , China)

Abstract : Introduced are four methods of communication between universal microprocessor and Digital Signal Processors (DSP) : the communication method based on I/O interface , the communication method based on Dual Bank Memory (DBM) , the communication method based on Direct Memory Access (DMA) and the communication method based on Dual Port Random Access Memory (DPRAM) . Based on the characteristics of the dual-processor protection system , the communication between processors is realized by use of the DPRAM .

Key words : digital signal processors ; dual bank memory ; direct memory access ; dual port random access memory